

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hyun-Chul Kim

Serial No.: TBA

Filed: Concurrently herewith

For: **INTEGRATED CIRCUIT DEVICES HAVING FUSE STRUCTURES
INCLUDING BUFFER LAYERS AND METHODS OF FABRICATING THE SAME**

Date: September 16, 2003

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 2002-68933 filed November 7, 2002.

If any extension of time for the accompanying response or submission is required,
Applicant requests that this be considered a petition therefor. No fee is believed due,
however, the Commissioner is hereby authorized to charge any deficiency, or credit any
refund, to our Deposit Account No. 50-0220.

Respectfully submitted,



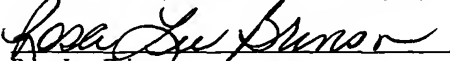
Elizabeth A. Stanek
Registration No. 48,568

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318419564 US
Date of Deposit: September 16, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Rosa Lee Brinson

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0068933
Application Number

출원년월일 : 2002년 11월 07일
Date of Application NOV 07, 2002

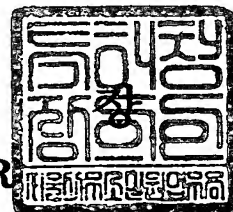
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.07
【발명의 명칭】	반도체 장치의 퓨즈 구조물 및 그 제조 방법
【발명의 영문명칭】	structure of a Fuse for a semiconductor device and method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	김현철
【성명의 영문표기】	KIM,Hyun Chul
【주민등록번호】	690521-1169319
【우편번호】	138-240
【주소】	서울특별시 송파구 신천동 17-6 미성아파트 9동 601호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	28 면 28,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	23 항 845,000 원
【합계】	902,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

불량 셀을 리페어할 때 레이저 조사에 의해 용융 단전될 수 있는 반도체 장치의 퓨즈 구조물 및 그 제조 방법이 개시되어 있다. 상기 반도체 장치는 퓨즈 영역을 갖는 주변 회로 영역과, 트랜지스터와 비트 라인 상에 형성된 커패시터를 갖는 하부 구조물이 형성된 셀 영역으로 구분된다. 그리고, 상기 퓨즈 영역의 최상부에는 윈도우막이 위치하고, 상기 윈도우막의 하부에 퓨즈 패턴막 및 버퍼 패턴막들이 위치한다. 여기서, 상기 퓨즈 패턴막은 금속 배선을 형성하는 공정과 동일한 공정의 수행에 의해 마련되고, 상기 버퍼 패턴막들은 비트 라인 및 커패시터의 상부 전극을 형성하는 공정과 동일한 공정에 의해 마련된다. 이와 같이, 상기 퓨즈 구조물은 간단한 공정을 통하여 마련할 수 있다.

【대표도】

도 1g

【명세서】**【발명의 명칭】**

반도체 장치의 퓨즈 구조물 및 그 제조 방법{structure of a Fuse for a semiconductor device and method of manufacturing the same}

【도면의 간단한 설명】

도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 퓨즈 구조물을 형성하기 위한 방법을 나타내는 단면도들이다.

도 2는 도 1g의 퓨즈 구조물을 나타내는 평면도이다.

도 3a 내지 도 3j은 본 발명의 일 실시예에 따른 디램 소자를 형성하는 방법을 나타내는 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 반도체 장치의 퓨즈 구조물 및 그 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 불량 셀을 리페어(repair)할 때 레이저 빔의 조사에 의해 용융 단전될 수 있는 반도체 장치의 퓨즈 구조물 및 그 제조 방법에 관한 것이다.

<5> 반도체 장치의 제조는 주로 실리콘 재질의 기판 상에 설정된 회로 패턴을 반복적으로 형성하여 집적 회로를 갖는 셀(cell)들을 형성하는 패브리케이션(fabrication : FAB) 공정과, 상기 셀들이 형성된 기판을 칩(chip) 단위로 패키징(packaging)하는 어셈블리(assembly) 공정을 포함한다. 그리고, 상기 패브리케이션 공정과 어셈블리 공정 사이에

는 상기 기판 상에 형성하는 셀들의 전기적 특성을 검사하기 위한 공정(electrical die sorting : EDS)을 수행한다.

<6> 상기 검사 공정은 상기 기판 상에 형성하는 셀들이 전기적으로 양호한 상태 또는 불량한 상태를 갖는 가를 판별하는 공정이다. 상기 검사 공정을 통하여 불량한 상태를 갖는 셀들을 상기 어셈블리 공정을 수행하기 이전에 제거함으로써 상기 어셈블리 공정에서 소모되는 노력 및 비용을 절감한다. 그리고, 상기 불량한 상태를 갖는 셀들을 조기에 발견하고, 이를 리페어를 통하여 재생하는 것이다. 따라서, 상기 검사 공정은 상기 셀들을 검사하여 불량 셀을 선별하고, 그 데이터를 발생시키는 프레-레이저 검사(pre-laser test), 상기 데이터에 근거하여 리페어가 가능한 셀들을 리페어하는 리페어 공정 및 상기 리페어한 셀들을 재검사하는 포스트-레이저 검사(post-laser test)의 순서로 구성된다. 상기 검사 공정 중에서 상기 리페어 공정은 상기 불량 셀에 연결된 배선을 레이저 빔을 조사하여 컷팅하고, 칩 내에 내장된 리던던시 셀(redundancy cell)과 대체시키는 공정이다. 여기서, 레이저 빔의 조사에 의해 끊어지는 배선을 퓨즈 패턴이라 한다. 그리고, 상기 퓨즈 패턴 상에는 상기 퓨즈 패턴을 보포하고, 상기 퓨즈 영역을 정의하기 위한 절연막, 즉, 윈도우막이 형성된다.

<7> 상기 퓨즈 패턴에 대한 예들은 미합중국 특허 6,100,117호(issued to Hao et al.) 및 미합중국 특허 6,180,503호(issued to Tzeng et al.)에 개시되어 있다.

<8> 개시된 특허들에 의하면, 상기 퓨즈 패턴으로서 반도체 장치의 비트 라인을 사용한 다. 즉, 상기 비트 라인을 형성할 때 상기 퓨즈 패턴이 형성될 부위까지 연장되게 형성함으로써 상기 비트 라인을 퓨즈 패턴으로 사용할 수 있다.

- <9> 그러나, 상기 비트 라인을 퓨즈 패턴으로 사용할 경우에는 상기 퓨즈 패턴이 위치하는 퓨즈 영역을 오픈시키는 것이 용이하지 않다. 이는, 상기 비트 라인 상에는 다층 구조를 갖는 절연막 및 금속 배선 등이 형성되어 있기 때문이다. 즉, 상기 퓨즈 영역을 오픈시키기 위한 깊이가 깊기 때문이다. 그리고, 상기 퓨즈 영역을 오픈시키기 위한 식각에 소요되는 시간이 연장되기 때문에 생산성이 저하된다. 또한, 상기 퓨즈 영역을 오픈시킬 때 상기 퓨즈 패턴 상의 상기 윈도우막의 두께를 적절하게 조정하지 못하기 때문이다.
- <10> 이에 따라, 최근에는 상기 비트 라인 대신에 상기 비트 라인의 상부에 마련되는 커패시터의 상부 전극 또는 콘택을 연결하는 금속 배선을 상기 퓨즈 패턴으로 사용하는 추세에 있다.
- <11> 상기 커패시터의 상부 전극을 퓨즈 패턴으로 사용하는 일 예는 대한민국 공개특허 2001-61081호에 개시되어 있고, 상기 금속 배선을 퓨즈 전극으로 사용하는 일 예는 일본 국 공개특허 평11-87646호에 개시되어 있다.
- <12> 그러나, 상기 커패시터의 상부 전극 또는 금속 배선을 퓨즈 패턴으로 사용할 경우에는 상기 퓨즈 패턴을 자를 때 사용되는 레이저 빔에 의해 상기 퓨즈 패턴의 하부 구조물이 손상을 입을 수 있다. 이에 따라, 상기 금속 배선을 퓨즈 패턴으로 사용할 경우 상기 퓨즈 패턴의 하부에 버퍼막을 형성하여 상기 레이저 빔에 의한 충격을 완화시킨다.
- <13> 상기 금속 배선을 퓨즈 패턴으로 사용하고, 상기 퓨즈 패턴의 하부에 버퍼막을 형성하는 일 예는 대한민국 공개특허 2001-37795호에 개시되어 있다. 개시된 대한민국 공개특허 2001-37795호에 의하면, 상기 버퍼막은 플러그 타입을 갖는다. 상기 플러그 타입의 버퍼막은 박막에 요홈을 형성한 후, 상기 요홈 내에 버퍼막으로 사용하기 위한 물질

을 필링시킴으로서 만들 수 있다. 구체적으로, 비트 라인 등과 같은 하부 구조물 상에 절연막을 적층한다. 그리고, 상기 절연막을 식각하여 일부 영역에 요홈을 형성한다. 이어서, 상기 요홈을 갖는 절연막 상에 버퍼막으로 사용하기 위한 물질을 적층한다. 그리고, 기계화학적 연마(CMP) 또는 에치백 등과 같은 평탄화를 통하여 상기 물질을 제거하여 상기 요홈 내에만 물질을 남김으로서 버퍼막을 형성한다. 이어서, 상기 버퍼막을 갖는 절연막 상에 퓨즈 패턴 등을 형성한다.

- <14> 상기 개시된 대한민국 공개특허 2001-37795호에 의하면, 버퍼막을 형성함으로써 상기 퓨즈 패턴을 형성할 때 상기 레이저 빔에 의한 기판의 손상을 줄일 수 있다. 그러나, 상기 버퍼막을 형성하기 위하여 복잡한 단위 공정을 더 수행해야 한다. 따라서, 상기 대한민국 공개특허 2001-37795호에 개시된 퓨즈 패턴의 방법은 생산성에 다소 영향을 끼칠 수 있다.

【발명이 이루고자 하는 기술적 과제】

- <15> 본 발명의 제1목적은 반도체 장치의 상부 부위에 버퍼막 및 퓨즈 패턴을 갖는 퓨즈 구조물을 제공하는데 있다.
- <16> 본 발명의 제2목적은 콘택을 연결하기 위한 금속 배선의 일부를 퓨즈 패턴으로 갖고, 커패시터의 상부 전극의 일부를 버퍼막으로 갖는 퓨즈 구조물을 제공하는 데 있다.
- <17> 본 발명의 제3목적은 간단한 단위 공정을 통하여 버퍼막 및 퓨즈 패턴을 갖는 퓨즈 구조물을 형성하기 위한 방법을 제공하는데 있다.

- <18> 본 발명의 제4목적은 간단한 단위 공정을 통하여 콘택을 연결하기 위한 금속 배선의 일부를 퓨즈 패턴으로 형성하고, 커패시터의 상부 전극의 일부를 버퍼막으로 형성하기 위한 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <19> 상기 제1 목적을 달성하기 위한 본 발명의 구조물은, 퓨즈 영역을 갖는 기판과, 상기 퓨즈 영역의 최상부에 위치하고, 상기 퓨즈 영역의 주변으로부터 단차를 가짐으로서 상기 퓨즈 영역을 정의하기 위한 윈도우막과, 제1도전물로 이루어지고, 상기 윈도우막의 하부에 위치하도록 패터닝된 퓨즈 패턴막과, 제2도전물로 이루어지고, 상기 퓨즈 패턴막의 하부에 위치하도록 패터닝됨으로서 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제1버퍼 패턴막; 및 상기 퓨즈 패턴막과 제1버퍼 패턴막 사이에 개재됨으로서 상기 퓨즈 패턴막과 제1버퍼 패턴막을 절연시키기 위한 제1절연막을 포함한다.

- <20> 상기 제2 목적을 달성하기 위한 본 발명의 구조물은, 퓨즈 영역을 갖는 주변 회로 영역과, 트랜지스터와 비트 라인 상에 형성된 커패시터를 갖는 하부 구조물이 형성된 셀 영역으로 구분된 반도체 장치에 있어서, 상기 퓨즈 영역의 최상부에 위치하고, 주변 부위로부터 단차를 가짐으로서 상기 퓨즈 영역을 정의하는 윈도우막과, 상기 하부 구조물을 전기적으로 연결하기 위한 금속 배선을 형성하는 공정과 동일한 공정에 의해 형성되고, 상기 윈도우막 하부에 위치하는 퓨즈 패턴막과, 상기 커패시터의 상부 전극을 형성하는 공정과 동일한 공정에 의해 형성되고, 상기 퓨즈 패턴막의 하부에 위치함으로서 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제1버퍼 패턴막; 및

상기 퓨즈 패턴막과 제1버퍼 패턴막 사이에 개재됨으로서 상기 퓨즈 패턴막과 제1버퍼 패턴막을 절연시키기 위한 제1절연막을 포함한다.

<21> 상기 제3목적은 달성하기 본 발명의 방법은, 기판의 퓨즈 영역 상에 제1도전물로 이루어지는 제1버퍼 패턴막을 형성하는 단계와, 상기 기판 및 상기 제1버퍼 패턴막 상에 제1절연막을 형성하는 단계와, 제2도전물로 이루어지고, 상기 제1버퍼 패턴막이 위치하는 절연막 상에 퓨즈 패턴막을 형성하는 단계; 및 상기 퓨즈 영역을 정의하기 위하여 상기 퓨즈 패턴막 상에 단차를 갖는 윈도우막을 형성하는 단계를 포함한다.

<22> 상기 제4목적은 달성하기 위한 본 발명의 방법은, 퓨즈 영역을 갖는 주변 회로 영역과, 셀 영역으로 구분된 기판을 마련하는 단계와, 상기 기판의 셀 영역 상에 트랜지스터, 비트 라인 및 커패시터의 하부 전극 및 유전막을 형성하는 단계와, 상기 유전막 상에 상기 커패시터의 상부 전극으로 형성하기 위한 상부 전극막을 형성하되, 상기 상부 전극막을 상기 퓨즈 영역까지 연장되도록 형성하는 단계와, 상기 상부 전극막을 패터닝하여 상기 유전막 상에는 상기 커패시터의 상부 전극을 형성하고, 상기 퓨즈 영역에는 제1버퍼 패턴막을 형성하는 단계와, 상기 상부 전극 및 제1버퍼 패턴막을 갖는 기판 상에 제1절연막을 형성하는 단계와, 상기 제1절연막 상에 금속 배선으로 형성하기 위한 금속 배선막을 형성하되, 상기 금속 배선막을 상기 퓨즈 영역까지 연장되도록 형성하는 단계와, 상기 금속 배선막을 패터닝하여 금속 배선을 형성함과 동시에 상기 퓨즈 영역의 제1버퍼 패턴막이 위치하는 제1절연막 상에는 상기 금속 배선막이 패터닝된 퓨즈 패턴을 형성하는 단계와, 상기 금속 배선 및 퓨즈 패턴을 갖는 기판 상에 제2절연막을 형성하는 단계; 및 상기 퓨즈 영역의 제2절연막을 식각하여 상기 퓨즈 영역에는 두께가 낮추어진 제2절연막으로 이루어지는 윈도우막을 형성하는 단계를 포함한다.

<23> 본 발명에 의하면, 반도체 장치의 상부 즉, 콘택을 연결하기 위한 금속 배선의 일부를 퓨즈 패턴으로 갖는 퓨즈 구조물을 간단한 공정을 통하여 형성할 수 있다. 뿐만 아니라, 커패시터의 상부 전극의 일부를 버퍼막으로 갖는 퓨즈 구조물을 간단한 공정을 통하여 형성할 수 있다. 이와 같이, 상기 퓨즈 패턴을 반도체 장치의 상부에 위치시키기 때문에 퓨즈 영역을 오픈시키기 위한 식각을 용이하게 실시할 수 있고, 상기 퓨즈 영역에서 퓨즈 패턴의 상부에 형성된 윈도우막의 두께를 적절하게 조정할 수 있다. 또한, 상기 퓨즈 영역의 식각을 짧은 시간 내에 실시할 수 있다. 그리고, 상기 퓨즈 패턴의 하부에 버퍼막을 형성함으로써 상기 퓨즈 패턴을 자를 때 가해지는 충격을 어느 정도 완화시킬 수 있다.

<24> 이하, 첨부한 도면을 참조하여 본 발명을 구체적으로 설명한다.

<25> 실시예 1

<26> 도 1a 내지 도 1g는 본 발명의 일 실시예에 따른 퓨즈 구조물을 형성하기 위한 방법을 나타낸다.

<27> 도 1a를 참조하면, 하부 구조물을 갖고, 퓨즈 영역을 갖는 기판을 마련한다. 여기서, 하부 구조물의 예로서는 트랜지스터 및 비트 라인 등을 들 수 있다. 이때, 상기 비트 라인은 퓨즈 영역까지 연장되도록 형성되되, 퓨즈 패턴이 형성될 부위에도 패터닝되도록 형성된다. 즉, 상기 비트 라인이 퓨즈 패턴의 아래에 위치하고, 퓨즈 패턴 아래의 주변에 위치하도록 패터닝되는 것이다. 여기서, 상기 퓨즈 패턴의 아래에 위치하는 비트 라인은 버퍼 패턴막이고, 퓨즈 패턴 아래의 주변에 위치하는 비트 라인은 라인 패턴막이다. 상기 비트 라인 즉, 버퍼 패턴막 및 라인 패턴막의 예로서는 폴리 실리콘 패턴막, Ru 패턴막, Pt 패턴막, Ir 패턴막, TiN 패턴막, TaN 패턴막, WN 패턴막 등을 들 수

있다. 그리고, 상기 버퍼 패턴막 및 라인 패턴막을 갖는 기판 상에 절연막을 적층한다.
상기 절연막은 층간 절연막으로서 산화막이다.

<28> 도 1b를 참조하면, 상기 절연막 상에 도전막을 적층한다. 상기 도전막의 적층은 셀 영역의 커패시터의 상부 전극을 형성하기 위한 상부 전극막을 적층할 때 상기 퓨즈 영역까지 연장되도록 적층함으로써 달성된다.

<29> 도 1c를 참조하면, 사진 식각 공정을 통하여 상기 도전막을 패터닝한다. 즉, 상기 상부 전극막을 패터닝하여 커패시터의 상부 전극으로 형성할 때 상기 퓨즈 영역의 도전막도 함께 패터닝하는 것이다. 상기 패터닝에 의해 상기 도전막은 하부의 버퍼 패턴막 상부 및 그 주변에 마련된다. 여기서, 상기 하부의 버퍼 패턴막 상에 패터닝된 도전막 또한 버퍼 패턴막으로서, 상부의 버퍼 패턴막은 제1버퍼 패턴막이고, 하부의 버퍼 패턴막은 제2버퍼 패턴막이다. 상기 제1버퍼 패턴막의 예로서는 폴리 실리콘 패턴막, Ru 패턴막, Pt 패턴막, Ir 패턴막, TiN 패턴막, TaN 패턴막, WN 패턴막 등을 들 수 있다. 그리고, 제1버퍼 패턴막의 주변에 패터닝된 도전막은 후속 공정에 의해 형성되는 가드링 패턴막과 연결되는 부분이다.

<30> 도 1d를 참조하면, 상기 제1버퍼 패턴막을 갖는 절연막 상에 다시 절연막을 적층한다. 여기서, 상기 제1버퍼 패턴막 상의 절연막은 제1절연막이고, 상기 제1버퍼 패턴막과 제2버퍼 패턴막 사이에 개재되는 절연막은 제2절연막이다. 상기 제1절연막 또한 산화막이다. 상기 제1절연막을 적층한 후, 사진 식각 공정을 통하여 상기 제1절연막 및 제2절연막을 순차적으로 식각함으로써 콘택홀을 형성한다. 이때, 상기 콘택홀은 제1버퍼 패턴막의 외곽을 지나는 부위에 형성된다. 그리고, 상기 콘택홀에 의해 라인 패턴막의 표면이 노출된다. 이어서, 상기 콘택홀을 갖는 제1절연막 상에 도전물을 형성한 후, 상기

제1절연막이 노출되도록 기계화학적 연마 또는 에치백 등과 같은 평탄화 공정으로 상기 도전물을 제거시킨다. 이에 따라, 도 1d에 도시된 바와 같이, 상기 콘택홀 내에만 도전물이 충전된다. 상기 콘택홀 내에 충전되는 도전물은 상기 라인 패턴막과 이후에 형성할 퓨즈 패턴을 전기적으로 연결하는 부위로서, 커넥터에 해당된다. 여기서, 상기 커넥터는 상기 라인 패턴막과의 연결만으로 제한되지는 않는다. 즉, 상기 커넥터는 상기 퓨즈 패턴과의 전기적 연결을 위한 것으로서, 상기 커넥터는 전기적 도통이 가능한 부위일 경우 어디라도 그 형성이 가능하다. 여기서, 상기 커넥터로 사용하기 도전물의 예로서는 알루미늄, 텅스텐, 구리, 폴리 실리콘 등을 들 수 있다.

<31> 도 1e를 참조하면, 상기 커넥터가 형성된 제1절연막 상에 도전막을 형성한 후, 상기 도전막을 패터닝함으로써 퓨즈 패턴으로 사용하기 위한 퓨즈 패턴막을 형성한다. 이때, 상기 퓨즈 패턴막은 트랜지스터 및 비트 라인 등과 같은 하부 구조물을 전기적으로 연결하기 위한 금속 배선과 동일한 공정을 통하여 형성된다. 즉, 금속 배선을 상기 퓨즈 영역까지 연장되도록 형성함으로써 상기 퓨즈 패턴막을 얻을 수 있다. 상기 퓨즈 패턴막은 상기 제2버퍼 패턴막 및 제1버퍼 패턴막의 상부에 위치하고, 상기 커넥터와 연결되도록 패터닝한다. 상기 퓨즈 패턴막의 예로서는 금속 배선과 마찬가지로 알루미늄 패턴막, 텅스텐 패턴막, 구리 패턴막 등을 들 수 있다.

<32> 도 1f를 참조하면, 상기 퓨즈 패턴막을 갖는 제1절연막 상에 다시 절연막을 적층한다. 그리고, 사진 식각 공정을 통하여 퓨즈 패턴막의 외곽 부위에 형성된 금속 배선의 표면을 노출시키는 비아홀을 형성한다. 이어서, 상기 비아홀 내에 도전물을 필링시키고, 상기 도전물이 필링된 비아를 연결하기 위한 금속 배선을 형성한다. 여기서, 상기 퓨즈 패턴막을 갖는 반도체 장치가 디램인 경우 하부의 금속 배선은 메탈-1에 해당하고, 상부

의 금속 배선은 메탈-2에 해당된다. 그리고, 상기 퓨즈 영역에 형성된 도전물이 필링된 비아는 전기적 연결의 기능 뿐만 아니라 퓨즈 패턴막의 흡습을 방지하기 위한 가드링의 기능도 갖는다. 따라서, 상기 퓨즈 영역에 도전물이 필링된 비아는 가드링 패턴막이다.

<33> 도 1g를 참조하면, 상기 상부의 금속 배선을 갖는 절연막 상에 패시베이션막을 적층한다. 이어서, 상기 퓨즈 패턴이 있는 퓨즈 영역을 사진 식각 공정을 통하여 식각한다. 상기 식각은 상기 퓨즈 영역의 패시베이션막 및 하부의 절연막을 대상으로 수행하되, 상기 하부의 절연막 일부가 남겨지도록 수행한다. 따라서, 상기 식각에 의해 상기 퓨즈 영역을 정의하고, 주변 부위로부터 단차를 갖는 윈도우막을 얻는다.

<34> 그리고, 도 2는 도 1g의 퓨즈 구조물을 갖는 반도체 장치를 나타내는 평면도로서, 상기 도 2의 A-A를 자랐을 때 도 1g의 퓨즈 구조물을 얻는 것이다.

<35> 이와 같이, 상기 퓨즈 구조물은 윈도우막과 퓨즈 패턴막 및 그 하부에 제1버퍼 패턴막 및 제2버퍼 패턴막을 갖는다. 뿐만 아니라, 제1절연막 및 제2절연막도 버퍼 기능을 갖는다. 이에 따라, 리페어를 실시할 때 레이저 빔에 의해 기판에 가해지는 충격을 상기 제1버퍼 패턴막, 제2버퍼 패턴막, 제1절연막 및 제2절연막이 어느 정도 완화시킬 수 있다. 또한, 상기 퓨즈 구조물은 퓨즈 패턴인 퓨즈 패턴막이 반도체 장치의 상부에 마련됨으로서 상기 퓨즈 영역을 오픈시키기 위한 식각을 용이하게 실시할 수 있다. 즉, 패시베이션막과 그 하부의 절연막만을 식각 대상으로 하기 때문이다. 따라서, 상기 식각을 통하여 얻어지는 윈도우막의 두께를 용이하게 조정할 수 있다. 뿐만 아니라, 상기 식각 대상이 단순한 구조이기 때문에 식각에 소요되는 시간을 단축시킬 수 있다.

<36> 이하, 본 발명의 퓨즈 구조물을 갖는 반도체 장치의 디램(DRAM) 소자를 형성하는 방법에 대하여 설명하기로 한다.

- <37> 도 3a 내지 도 3은 본 발명의 일 실시예에 따른 디램 소자를 형성하는 방법을 나타낸다.
- <38> 도 3a를 참조하면, 실리콘(Si)과 같은 반도체로 이루어진 p형 기판(100)을 준비한다. 상기 기판(100)의 상부에 소자 분리 영역을 식각하여 깊이가 4,000 내지 5,000Å 정도이고, 폭이 1,000 내지 1,500Å 정도인 트렌치(112)를 형성한다. 다음에, 상기 트렌치(112)가 형성된 기판(100)상에 산화물 박막을 적층한다. 예를 들면, 상기 산화물 박막은 SOG용액을 6,000 내지 7,000Å 정도의 두께를 갖도록 도포하여 SOG막(도시 안됨)을 형성한 후, 상기 SOG막을 경화시켜 산화 실리콘막으로 전환시킴으로서 형성한다. 또는, 상기 산화물 박막은 화학 기상 증착 방법에 의해 형성할 수도 있다. 다음에, 수득한 산화 실리콘막을 화학기계적 연마 방법(CMP)에 의해 기판(100)의 상부 표면에 노출될 때까지 연마하여, 도시한 바와 같이, 상기 트렌치(112)의 내부를 산화 실리콘(114)으로 매립된 소자 분리 영역으로 형성한다.
- <39> 다음에, 메모리 셀을 형성할 영역(셀 영역) 및 주변 회로 영역의 반도체 기판(100)에 n형 또는 p형 불순물, 예를 들면 인(P) 또는 붕소(B)를 주입하여 웰 영역을 형성한다. 이어서, 노출된 기판(100)의 표면 부위를 불산계 세정액을 사용하여 제거한 후, 기판(100)을 습식 산화시켜 기판(100)의 표면 부위에 게이트 산화막(116)을 형성한다. 상기 게이트 산화막(116)은 40 내지 200Å의 두께를 갖는다.
- <40> 그리고, 필드 산화막으로 트렌치(112)에 매립된 산화 실리콘(114) 및 게이트 산화막(116)이 형성된 기판(100)의 전면에, 예를 들면 P(인)등의 n형 불순물로 도핑된 다결정 실리콘막을 저압 화학 기상 증착(LPCVD)으로 증착하여 500 내지 4,000Å 정도의 두께를 갖는 제1폴리 실리콘막을 형성한다. 이어서, 상기 제1폴리 실리콘막 상에 텅스텐 실

리사이드막을 화학 기상 증착 방법 또는 스퍼터링 방법으로 각각 1,000 내지 2,000 Å의 두께를 갖도록 침적한 후, 상기 텅스텐 실리사이드막 상에 질화 실리콘막을 적층한다. 상기 질화 실리콘막은 저압 화학 기상 증착 또는 플라즈마 증대 화학 기상 증착(PECVD) 방법을 이용하여 500 내지 2,000 Å 정도의 두께를 갖도록 형성한다.

<41> 상기 질화 실리콘막 상에 포토레지스트막을 형성한 후, 레티클 등과 같은 패턴 마스크를 사용하여 상기 포토레지스트막을 선택적으로 노광한다. 다음에, 상기 포토레지스트막을 현상하여 게이트 전극을 형성하기 위한 포토레지스트 패턴(도시 안됨)을 형성한다. 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 질화 실리콘막, 텅스텐 실리사이드막 및 제1폴리 실리콘막을 순차적으로 식각함으로써 제1폴리실리콘 패턴막(124a), 텅스텐 실리사이드 패턴막(124b) 및 질화 실리콘 패턴막(124c)으로 구성된 게이트 전극들(124Ga, 124Gb, 124Gc)을 형성한다. 그러면, 도시한 바와 같이, 셀 영역에는 게이트 전극들(124Ga)과 워드 라인(도시 안됨)이 형성되고, 주변 회로 영역에도 각각 게이트 전극(124Gb 및 124Gc)이 형성된다. 다음에, 상기 기판(100)의 웰 영역에 p형 또는 n형 불순물, 예를 들면 붕소 또는 인을 이온 주입하여 게이트 전극들(124Ga, 124Gb, 124Gc)의 양측의 웰에 소오스 및 드레인 영역인 불순물 영역(125)를 형성한다. 이에 따라, 상기 게이트 전극들과 불순물 영역으로 이루어진 트랜지스터들을 완성한다.

<42> 이어서, 기판(100)상에 기상 산화 증착 방법에 의해 질화 실리콘을 증착시켜 200 내지 600 Å 정도의 두께를 갖는 질화 실리콘막을 형성한다. 다음에, 질화 실리콘막을 이방성 식각하여 게이트 전극들(124a, 124Gb, 124Gc)의 측벽에

스페이서들(132)을 형성한다. 결과물의 전면에 산화막 또는 질화 실리콘막(도시 안됨)을 화학 기상 증착 방법에 의해 얇은 두께, 예를 들면 100 내지 200Å 정도로 형성한 후, 단차 도포성이 우수한 산화막, 예를 들면 BPSG(Phosphosphorous silicate glass)막을 40,00 내지 6,000Å의 두께로 형성하여 리플로우(reflow)시킨다. 그리고, 형성된 BPSG막을 화학기계적 연마 방법에 의해 평탄화시킴으로서 평탄화된 절연막(126)을 얻는다. 다음에, 평탄화된 절연막(126)상에 셀 영역의 비트 라인 콘택홀의 형성을 위한 포토레지스트 패턴(도시 안됨)을 형성한 후, 상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 평탄화된 절연막(126)에 셀 영역의 불순물 영역(125)을 노출시키는 콘택홀을 형성한다. 따라서, 셀 영역에는 게이트 전극들간에 자기 정렬된(Self-aligned) 비트 라인 콘택홀(드레인 영역의 상부에 형성된다)과 스토리지 전극 콘택홀(소오스 영역의 상부에 형성된다)이 형성된다.

<43> 도 3b를 참조하면, 결과물의 전면에 불순물이 도핑된 폴리 실리콘을 화학 기상 증착 방법에 의해 두껍게 증착하여 제2폴리 실리콘막을 형성한 후, 상기 평탄화된 절연막(126)이 노출될 때까지 상기 제2폴리 실리콘막을 화학기계적 연마 방법이나 에치백 방법에 의해 제거하여 드레인 영역의 비트 라인 콘택홀을 매립하는 비트 라인 콘택 하부 플러그(130a) 및 스토리지 전극 콘택홀을 매립하는 스토리지 전극 콘택 하부 플러그(130b)를 형성한다. 다음에, 결과물 상에 산화막을 2,000Å 정도의 두께로 형성하여 제1층간 절연막(140)을 형성한다.

<44> 상기 제1층간 절연막(140) 상에 상기 비트 라인 콘택 플러그(130a) 및 주변회로 영역의 드레인 영역 및 게이트 전극을 노출시키기 위한 포토레지스트 패턴을

형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 상기 제1층간 절연막(140)을 이방성 식각함으로서 비트 라인 콘택 하부 플러그(130a)를 노출시키는 콘택홀을 형성한다. 이때, 주변 회로 영역에서는, 상기 제1층간 절연막(140) 아래에 존재하는 평탄화된 절연막(126)도 상기 제1층간 절연막(140)에 이어서 식각되어 드레인 영역(125a) 및 게이트 전극(124Gb)을 노출시키는 콘택홀들을 형성한다.

<45> 상기 콘택홀들을 매립하는 금속막, 예를 들면, 텅스텐막을 스퍼터링에 의해 형성한 후, 수득한 텅스텐막을 에치백 방법이나 화학기계적 연마 방법에 의해 상기 제1층간 절연막(140)이 노출될 때까지 평탄화시킴으로서 셀 영역의 상기 콘택홀 내에 비트 라인 콘택 상부 플러그(142a)를 형성하고, 주변 회로 영역의 콘택홀들 내에 드레인 콘택 플러그(142b)와 게이트 전극 콘택 플러그(142c)를 형성한다. 다음에, 상기 제1층간 절연막(140)상에 도전성 물질을 증착하여 도전막을 형성한다. 도전성 물질로서는 불순물이 도핑된 폴리실리콘, 텅스텐, 알루미늄, 티타늄과 같은 금속, 질화 티타늄, 텅스텐 실리사이드와 같은 금속 화합물등을 들 수 있다. 본 실시예에서는, 불순물이 도핑된 폴리실리콘과 텅스텐 실리사이드와 같은 금속 실리사이드를 증착하여 폴리사이드 구조의 도전막을 형성한다.

<46> 수득한 도전막을 통상적인 사진 식각 공정에 의해 패터닝하여 셀 영역에서는 상기 비트라인 콘택 상부 플러그(142a)와 접속하고 제1폴리 실리콘 패턴막(144a)과 제1금속 실리사이드 패턴막(146a)로 이루어진 비트 라인(147a)을 형성하고, 주변 회로 영역에는 드레인 콘택 플러그(142b) 및 게이트 전극 콘택 플러그(142c)와 접속하고 제2폴리실리콘 패턴막(144b) 및 제2금속 실리사이드 패턴막(146b)으로 이루

어진 주변 회로 영역의 배선(147b)을 형성한다. 이때, 주변 회로 영역의 퓨즈 영역에는 상기 비트 라인(147a)에서 연장되고 제3폴리 실리콘 패턴막(144c) 및 제3금속 실리사이드 패턴막(146c)으로 이루어진 버퍼 패턴막(147c)을 형성한다. 즉, 퓨즈 패턴막이 형성될 하부에 레이저 빔에 의해 가해지는 충격을 다소 완화시키기 위하여 상기 버퍼 패턴막(147c)을 형성하는 것이다. 이때, 상기 퓨즈 영역의 버퍼 패턴막(147c)은 상기 셀 영역의 비트 라인을 형성하는 공정과 동일한 공정에 의해 형성한다. 또한, 단면 방향 때문에 도시되지는 않았지만, 상기 버퍼 패턴막(147c)의 주변에는 상기 비트 라인을 형성하는 동일한 공정에 의해 라인 패턴막이 형성된다.

<47> 도 3c를 참조하면, 상기 비트 라인(147a), 주변 회로 영역의 배선(147b) 및 상기 버퍼 패턴막(147c)이 형성되어 있는 제1층간 절연막(140) 상에 3,000 내지 5,000Å의 두께를 갖도록 BPSG를 도포한 후, 열처리에 의해 도포된 BPSG를 리플로우시킨 후, 화학기체적 연마방법을 수행하여 평탄한 제2층간 절연막(150)을 형성한다.

<48> 이어서, 상기 제2 층간 절연막(150) 상의 셀 영역에는 반도체 메모리 소자의 캐패시터를 형성한다.

<49> 상기 캐패시터를 형성하기 전에, 캐패시터를 형성하기 위한 희생막을 식각하는 동안 제2층간 절연막(150)이 함께 식각되는 것을 방지하기 위하여 질화물로 이루어진 식각 방지막(151)을 평탄화된 제2층간절연막(150) 상에 형성한다. 상기 제2층간 절연막(150)을 사진 식각 공정을 통하여 스토리지 전극 콘택 하부 플러그(130b)를 노출시키는 콘택홀을 형성한 후, 상기 콘택홀의 내부를 채우도록

제2층간 절연막(150) 상에 제1도전막(도시 안됨)을 형성한다. 상기 제1도전막은 불순물이 도핑된 폴리실리콘을 저압 화학 기상 증착 방법으로 침적하여 형성된다. 다음에, 상기 제1도전막을 화학기계적 연마 공정 또는 에치백 공정을 이용하여 식각함으로서 상기 콘택홀 내에 스토리지 전극 콘택 하부 플러그(130b)에 접촉되는 스토리지 전극 콘택 상부 플러그(152)를 형성한다. 그리고, 상기 스토리지 전극 콘택 상부 플러그(152) 및 층간 절연막(150)상에 산화물로 구성된 희생막(도시 안됨)을 형성한다. 상기 희생막은 BPSG, PSG 또는 USG와 같은 산화물을 사용하여 형성한다. 예를 들면, 트랜지스터가 형성된 기판(100)의 전면면에 반응 가스로 TEOS(tetraethylorthosilicate)를 사용하고, BPSG막을 약 10,000Å 이상, 예를 들면 13,000Å 정도의 두께로 증착하여 형성한다. 다음에, 희생막 상에 포토레지스트막을 도포한 후, 사진 식각 공정에 의하여 스토리지 전극을 형성하기 위한 포토레지스트 패턴을 형성한다. 계속하여, 포토레지스트 패턴을 식각 마스크로 이용하여 희생막과 식각 저지막(151)을 부분적으로 식각함으로서 희생막에 상기 스토리지 전극 콘택 상부 플러그(152)를 노출시키는 개구부를 형성한다. 이때, 스토리지 전극 콘택 상부 플러그(152)와 상기 상부 플러그(152) 주위의 제2층간 절연막(150)의 일부가 개구부에 의해 노출된다. 이어서, 상기 포토레지스트 패턴을 제거한 후, 상기 스토리지 전극 콘택 상부 플러그(152) 상부 및 개구부에 의해 노출된 희생막의 측벽 및 상기 희생막의 전면면에 연속적으로 제2도전막을 형성한다. 제2도전막은 폴리 실리콘을 저압 화학 기상 증착 방법으로 500Å 정도의 두께로 침적하여 형성한다. 그러면, 각 셀마다 하나의 웰(또는 그루브)이 형성되어 있는 폴리 실리콘막이 얻어진다. 이러한 웰(또는 그루브)이 형성됨에 따라서, 요철부가 형성된 제2도전막이 얻어진다.

<50> 다음에, 필요에 따라서, 상기 제2도전막 상에 표면적을 증가시키기 위하여, HSG 실리콘막을 형성한다. 이때, HSG 실리콘막은 고진공 내지 약 10^{-7} torr 이하의 압력 및 약 $400\sim 600^{\circ}\text{C}$ 정도의 온도가 유지되는 감압(pressure-reduced) 화학 기상증착 챔버 내에서 반응 가스로서 Si_2H_6 를 사용하여 제2 도전막의 웰 내면 즉 측벽 및 하부 표면에 300 내지 500\AA 의 두께로 형성한다. 이어서, 제2 도전막 상에 보호막으로서 실리콘 산화막(Undoped Silicate Glass)을 저압 화학 기상 증착 방법으로 침적시킨다. 이때, 상기 보호막은 스토리지 전극의 형성을 위한 식각 공정을 실시할 때 제2도전막 상에 형성된 HSG 실리콘막 또는 제2도전막을 보호하는 역할을 한다. 상기 보호막은 제2 도전막의 요부인 웰(또는 그루브)를 완전하게 매립하면서 비교적 평탄한 상면을 갖도록 형성된다.

<51> 다음에, 보호막, 도전층 및 HSG 실리콘막을 동시에 에치백한다. 에치백 공정은 TCP 폴리 실리콘 에칭 장비를 사용하여 수행한다. 이때, 식각 가스로서는 사불화 탄소와 질소 가스의 혼합 가스를 사용하여 수행한다. 이와 같은 에치백 공정을 수행함으로써 상기 보호막은 상기 웰 내에 보호막 잔류물을 남기고, 희생막의 상부에 형성되어 있는 제2도전막은 식각되어 각 셀마다 실린더 형상의 제2도전막 패턴으로 이루어진 스토리지 전극(160)이 형성된다. 이후에, 산화 실리콘을 제거할 수 있는 BOE(Buffered Oxide Etchant)와 같은 식각액을 사용하여 습식 식각 공정을 거쳐서 스토리지 전극(160)의 웰 내에 잔류하는 상기 보호막 잔류물과 희생막을 제거한다. 다음에 스토리지 전극(160) 상에 유전막(170)을 형성한다.

<52> 그리고, 상기 유전막(170)을 덮도록 기판 전면이 불순물이 도핑된 폴리실리콘을 상기 스토리지 전극 형성을 위한 제2도전막 형성시와 동일한 방법으로 증착하여 두께가 $2,000\text{\AA}$ 정도인 제3도전막을 형성한다. 다음에, 사진 식각 공정에 의해 제3도전막을 패

터닝하여 주변 회로 영역의 제3도전막을 제거하여 셀 영역에 플레이트 전극(180)을 형성한다. 그러나, 본 실시예에서는 상기 퓨즈 영역에 상기 제3도전막의 일부를 남김으로서 상기 남긴 제3도전막의 일부를 버퍼 패턴막(180a)으로 형성한다. 그리고, 상기 버퍼 패턴막(180a)은 상기 퓨즈 영역에 절연막(190a)을 형성한 후, 상기 플레이트 전극(180)을 형성할 때 상기 절연막(190a) 상부에 적층되는 제3도전막이 남겨지도록 패터닝함으로써 수득할 수 있다. 아무튼, 상기 퓨즈 영역의 버퍼 패턴막(180a)은 상기 셀 영역의 플레이트 전극(180)을 형성하는 공정과 동일한 공정에 의해 형성한다. 이외에도, 상기 퓨즈 영역에 버퍼 패턴막(180a)의 형성을 위한 절연막(190a)을 형성하지 않을 경우에는 상기 버퍼 패턴막(180a)을 퓨즈 영역의 제2층간 절연막(150) 상에 형성할 수도 있다. 여기서, 상기 버퍼 패턴막(108a) 또한 퓨즈 패턴막이 형성될 하부에 형성됨으로서 레이저 빔에 의해 가해지는 충격을 다소 완화시키는 기능을 갖는다.

<53> 다음에, 상기 플레이트 전극(180)과 버퍼 패턴막(180a)이 형성되어 있는 제2 층간 절연막(150)상에 17,000 내지 29,000Å 정도의 두께로 BPSG를 도포하여 리플로우한 후, 화학기계적 연마 방법이나 에치백 방법에 의해 평탄화시킴으로서 제3층간 절연막(190)을 형성한다.

<54> 도 3d를 참조하면, 상기 제3층간 절연막(190) 상에 하부의 소자 구조물들에 배선을 연결하기 위한 콘택홀들을 형성하기 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 하부의 제3층간 절연막(190), 제2층간 절연막(150) 및 제1층간 절연막(140)을 부분적으로 이방성 식각한다. 그러면, 도시한 바와 같이, 플레이트 전극(180)에 배선을 연결하기 위한 플레이트 콘택홀(192a) 및 주변 회로 소자들에 배선을 연결하기 위한 주변 회로 콘택홀들(192b, 192c, 192d) 등이 형성된다.

<55> 도 3e를 참조하면, 상기 결과물의 전면에, 티타늄, 탄탈륨, 질화 티타늄, 질화 탄탈륨등과 같은 내화 금속 또는 내화 금속 화합물로 이루어지거나 내화 금속 및 내화 금속 화합물로 이루어진 복합층으로 이루어진 장벽층(도시 안됨)을 얇은 두께로 증착하고, 상기 플레이트 콘택홀(192a) 및 주변회로 콘택홀들(192b, 192c, 192d)을 매립하도록 텅스텐을 스퍼터링법에 의해 증착하여 제1텅스텐막(도시 안됨)을 형성한 후, 상기 제1텅스텐막을 상기 제3층간 절연막(190)이 노출될 때까지 에치백한다. 그러면, 도시한 바와 같이, 플레이트 콘택홀(192a)을 매립하는 플레이트 콘택 플러그(196a), 주변회로 콘택홀들(192b, 192c, 192d)을 매립하는 주변 회로 콘택 플러그들(196b, 196c, 196d)이 형성된다. 또한, 단면 방향 때문에 도시되지는 않았지만, 상기 퓨즈 영역에는 상기 라인 패턴막을 노출시키는 콘택홀 및 상기 콘택홀을 매립시킨 플러그 즉, 커넥터가 형성된다. 여기서, 상기 콘택홀 및 커넥터는 언급한 동일 공정 즉, 플레이트 콘택 플러그(196a) 및 주변 회로 콘택 플러그들(196b, 196c, 196d)을 형성하는 공정과 동일한 공정에 의해 형성된다.

<56> 도 3f를 참조하면, 상기 제3층간 절연막(190)의 전면에 상기 플레이트 콘택 플러그(196a) 및 주변 회로 콘택 플러그들(196b, 196c, 196d) 등과 접촉하도록 스퍼터링 방법에 의해 알루미늄, 텅스텐, 티타늄 등과 같은 금속(바람직하게는 알루미늄)을 4,000 Å 정도의 두께로 증착하여 제1금속막을 형성한다. 다음에, 상기 제1 금속막 상에 질화 티타늄을 1,000 Å의 두께로 증착하여 제1금속 화합물 박막을 형성한다.

<57> 상기 제1금속 화합물 박막 상에 반도체 장치의 제1금속 배선(디램 소자의 경우 메탈-1에 해당한다)의 형성을 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 패터닝함으로써 셀 영역에는 제1 금속 패턴막(200)과 제1

금속 화합물 패턴막(202)으로 이루어진 제1금속 배선(204)을 형성한다. 상기 제1금속 배선(204)은 하부의 플레이트 콘택 플러그(196a) 및 주변회로 콘택 플러그들(196b, 196c, 196d)과 접속되어 전기적인 신호를 반도체 소자들에게 전달한다. 이와 동시에, 상기 퓨즈 영역에는 제1 금속 패턴막(200a)과 제1 금속 화합물 패턴막(202a)으로 이루어지는 퓨즈 패턴막(204a)이 형성된다. 이와 같이, 상기 퓨즈 패턴막(204a)은 상기 제1금속 배선(204)을 형성하는 공정과 동일한 공정에 의해 수득할 수 있다.

<58> 도 3g를 참조하면, 상기 제1금속 배선(204) 및 퓨즈 패턴막(204a)이 형성되어 있는 제3층간 절연막(190) 상에, TEOS(Tetra Ethyl Orthosilicate)를 이용한 산화물, SOG(Spin-On Glass) 또는 FOx(Flowable Oxide)를 7,000Å 정도의 두께로 형성하여 제4층간 절연막(210)을 형성한다.

<59> 도 3h를 참조하면, 상기 제4 층간 절연막(210) 상에 포토레지스트를 도포하여 포토레지스트막을 형성한 후, 상기 포토레지스트막을 노광 및 현상 공정을 거쳐서 비아홀의 형성을 위한 포토레지스트 패턴(220)을 형성한다. 상기 포토레지스트 패턴(220)을 식각 마스크로 사용하여 상기 제4층간 절연막(210)을 이방성 식각하여, 외부로부터 상기 제1금속 배선(204)에 신호를 인가하기 위한 제2금속 배선(디램 소자의 경우 메탈-2에 해당한다)과 연결되는 비아홀(212)을 형성한다. 그리고, 단면 방향 때문에 도시되지는 않았지만, 주변 회로 영역의 퓨즈 영역에는 가드링 패턴막을 형성하기 위한 콘택홀이 형성된다. 여기서, 상기 식각은 하부의 제1금속 배선(204)이 노출될 때까지 수행하지만, 정확한 식각 조절을 위하여 어느 정도는 과식각(over etch)을 수행한다. 경우에 따라서는, 상기 제4층간 절연막(210)의 하부에 존재하는 제3층간 절연막(190)도 부분적으로 식각되어 리세스를 형성할 수도 있다.

- <60> 도 3i를 참조하면, 상기 제4층간 절연막(210)상에 잔류하는 포토레지스트 패턴(220)을 스트립핑하여 제거한 후, 상기 플레이트 콘택 플러그(196a), 주변회로 콘택 플러그들(196b, 196c, 196d) 및 상기 제1 퓨즈 콘택 플러그(198)를 형성할 때와 동일한 방법으로 비아홀(212) 및 가드링 패턴막을 형성하기 위한 콘택홀을 매립하도록 스퍼터링 방법에 의해 증착하여 제2텅스텐막을 형성한 후, 상기 제2텅스텐막을 상기 제4층간 절연막(210)이 노출될 때까지 에치백한다. 그러면, 도시한 바와 같이, 비아홀(212)를 매립하는 비아 콘택 플러그(222) 및 도시되지는 않았지만, 가드링 패턴막을 형성하기 위한 콘택홀을 매립하는 플러그를 형성한다.
- <61> 다음에, 상기 제1금속 배선(204)을 형성하는 방법과 동일한 방법으로 상기 제4층간 절연막(210)의 전면에 상기 비아 콘택 플러그(222) 등과 접촉하도록 스퍼터링 방법에 의해 알루미늄, 텅스텐, 티타늄 등과 같은 금속, 바람직하게는 알루미늄을 스퍼터링 방법 또는 화학 기상 증착 방법에 의해 약 6,000Å의 두께로 증착하여 제2금속막(도시 안됨)을 형성한다. 다음에, 상기 제2금속막 상에 질화 티타늄을 약 300Å의 두께로 증착하여 제2금속 화합물 박막(도시 안됨)을 형성한다.
- <62> 이어서, 상기 제2 금속 화합물 박막 상에 반도체 장치의 제2금속 배선(메탈-2)을 위한 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 패턴닝하여 셀 영역에는 제2 금속층 패턴막(230)과 제1금속 화합물 패턴막(232)으로 이루어진 제2금속 배선(234)을 형성한다. 상기 제2금속 배선(234)은 외부로부터 상기 제1 금속 배선(204)에 전기적인 신호를 전달한다.
- <63> 도 3j를 참조하면, 결과물의 전면에서 상기 제2금속 배선(234)을 덮도록 패시베이션 층(240)을 형성한다. 그리고, 사진 식각 방법에 의해 상기 퓨즈 영역의 퓨즈 패턴막

(204a) 상에 존재하는 상기 패시베이션층(240), 제3층간 절연막(190)을 부분적으로 식각하여 퓨즈 영역을 정의하고, 퓨즈 영역을 오픈시키는 윈도우막(250)을 형성한다.

<64> 본 실시예에 의하면, 디램 소자에 있어 하부에 버퍼 패턴막들(147c, 180a)이 존재하고, 반도체 장치의 상부 영역에 퓨즈 패턴막(204a)이 위치하는 퓨즈 구조물을 얻을 수 있다. 특히, 본 실시예에 의하면, 별도의 공정의 수행없이 상기 퓨즈 구조물을 얻을 수 있다. 즉, 비트 라인을 형성하는 공정 및 커패시터의 상부 전극을 형성하는 공정을 수행할 때 퓨즈 영역에 버퍼 패턴막들(147c, 180a)이 형성되도록 패턴닝함에 의해 달성되고, 제1금속 배선(204)을 형성할 때 퓨즈 영역에 퓨즈 패턴막(204a)이 형성되도록 패턴닝함에 의해 달성된다. 따라서, 본 실시예의 퓨즈 구조물은 공정의 추가 없이 진행할 수 있는 장점이 있다.

【발명의 효과】

<65> 이와 같이, 본 발명에 의하면, 별도의 공정 추가 없이 간단한 공정을 통하여 버퍼 패턴막을 형성할 수 있다. 또한, 상기 퓨즈 패턴막을 반도체 장치의 상부에 위치시키기 때문에 퓨즈 영역을 오픈시키기 위한 식각을 용이하게 실시할 수 있고, 상기 퓨즈 영역에서 퓨즈 패턴의 상부에 형성된 윈도우막의 두께를 적절하게 조정할 수 있고, 상기 퓨즈 영역의 식각을 짧은 시간 내에 실시할 수 있다.

<66> 따라서, 본 발명의 퓨즈 구조물 및 이의 형성 방법을 반도체 장치의 제조에 적용할 경우 반도체 장치의 생산성 및 신뢰도가 향상되는 효과를 기대할 수 있다.

<67> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터

1020020068933

출력 일자: 2003/7/16

벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

퓨즈 영역을 갖는 기판;

상기 퓨즈 영역의 최상부에 위치하고, 상기 퓨즈 영역의 주변으로부터 단차를 가짐으로서 상기 퓨즈 영역을 정의하기 위한 윈도우막;

제1도전물로 이루어지고, 상기 윈도우막의 하부에 위치하도록 패터닝된 퓨즈 패턴막;

제 2도전물로 이루어지고, 상기 퓨즈 패턴막의 하부에 위치하도록 패터닝됨으로서 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제1버퍼 패턴막; 및

상기 퓨즈 패턴막과 제1버퍼 패턴막 사이에 개재됨으로서 상기 퓨즈 패턴막과 제1버퍼 패턴막을 절연시키기 위한 제1절연막을 포함하는 반도체 장치의 퓨즈 구조물.

【청구항 2】

제1항에 있어서, 상기 퓨즈 패턴막은 알루미늄 패턴막, 텅스텐 패턴막 또는 구리 패턴막인 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 3】

제1항에 있어서, 상기 제1버퍼 패턴막은 폴리 실리콘 패턴막, Ru 패턴막, Pt 패턴막, Ir 패턴막, TiN 패턴막, TaN 패턴막 또는 WN 패턴막인 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 4】

제1항에 있어서, 제3도전물로 이루어지고, 상기 제1버퍼 패턴막 하부에 위치하도록 패터닝됨으로서 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제2버퍼 패턴막; 및

상기 제1버퍼 패턴막과 제2버퍼 패턴막 사이에 개재됨으로서 상기 제1버퍼 패턴막과 제2버퍼 패턴막을 절연시키고, 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제2절연막을 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 5】

제4항에 있어서, 상기 제2버퍼 패턴막은 폴리 실리콘 패턴막, Ru 패턴막, Pt 패턴막, Ir 패턴막, TiN 패턴막, TaN 패턴막 또는 WN 패턴막인 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 6】

제4항에 있어서, 상기 제3도전물로 이루어지고, 상기 제2버퍼 패턴막의 주변에 위치하도록 패터닝된 라인 패턴막; 및

제4도전물로 이루어지고, 상기 제1버퍼 패턴막의 외곽을 지나도록 상기 제1절연막 및 제2절연막에 순차적으로 형성된 콘택을 통하여 상기 퓨즈 패턴막과 상기 라인 패턴막을 연결하는 커넥터를 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 7】

제1항에 있어서, 상기 윈도우막을 둘러싸고, 상기 퓨즈 패턴막의 흡습을 방지하기 위한 가드링 패턴막을 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 8】

퓨즈 영역을 갖는 주변 회로 영역과, 트랜지스터와 비트 라인 상에 형성된 커패시터를 갖는 하부 구조물이 형성된 셀 영역으로 구분된 반도체 장치에 있어서,

상기 퓨즈 영역의 최상부에 위치하고, 주변 부위로부터 단차를 가짐으로서 상기 퓨즈 영역을 정의하는 윈도우막;

상기 하부 구조물을 전기적으로 연결하기 위한 금속 배선을 형성하는 공정과 동일한 공정에 의해 형성되고, 상기 윈도우막 하부에 위치하는 퓨즈 패턴막;

상기 커패시터의 상부 전극을 형성하는 공정과 동일한 공정에 의해 형성되고, 상기 퓨즈 패턴막의 하부에 위치함으로서 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제1버퍼 패턴막; 및

상기 퓨즈 패턴막과 제1버퍼 패턴막 사이에 개재됨으로서 상기 퓨즈 패턴막과 제1버퍼 패턴막을 절연시키기 위한 제1절연막을 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 9】

제8항에 있어서, 상기 비트 라인을 형성하는 공정과 동일한 공정에 의해 형성되고, 상기 제1버퍼 패턴막의 하부에 위치함으로서 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제2버퍼 패턴막; 및

상기 제1버퍼 패턴막과 제2버퍼 패턴막 사이에 개재됨으로서 상기 제1버퍼 패턴막과 제2버퍼 패턴막을 절연시키고, 상기 퓨즈 패턴막을 자를 때 기판에 가해지는 충격을 완화시키기 위한 제2절연막을 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 10】

제9항에 있어서, 상기 비트 라인을 형성할 때 제2버퍼 패턴막의 주변에 위치하도록 패터닝된 라인 패턴막; 및

도전물로 이루어지고, 상기 제1버퍼 패턴막의 외곽을 지나도록 상기 제1절연막과 제2절연막에 순차적으로 형성된 콘택을 통하여 상기 퓨즈 패턴막과 상기 라인 패턴막을 연결하는 커넥터를 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 11】

제8항에 있어서, 상기 금속 배선을 연결시키는 비아홀을 매립시키는 공정과 동일한 공정에 의해 형성되고, 상기 주변 부위를 둘러싸고, 상기 퓨즈 패턴막의 흡습을 방지하기 위한 가드링 패턴막을 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물.

【청구항 12】

기판의 퓨즈 영역 상에 제1도전물로 이루어지는 제1버퍼 패턴막을 형성하는 단계;

상기 기판 및 상기 제1버퍼 패턴막 상에 제1절연막을 형성하는 단계;

제2도전물로 이루어지고, 상기 제1버퍼 패턴막이 위치하는 절연막 상에 퓨즈 패턴막을 형성하는 단계; 및

상기 퓨즈 영역을 정의하기 위하여 상기 퓨즈 패턴막 상에 단차를 갖는 윈도우막을 형성하는 단계를 포함하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 13】

제12항에 있어서, 상기 제1도전물은 폴리 실리콘, Ru, Pt, Ir, TiN, TaN 또는 WN인 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 14】

제12항에 있어서, 상기 제2도전물은 알루미늄, 텅스텐 또는 구리인 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 15】

제12항에 있어서, 상기 윈도우막의 형성은,
상기 제1절연막 및 퓨즈 패턴막 상에 제2절연막을 형성하는 단계; 및
상기 퓨즈 패턴막이 형성된 부위의 제2절연막을 식각하여 상기 단차를 갖도록 상기 제2절연막의 두께를 낮추는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 16】

제12항에 있어서, 상기 기판의 퓨즈 영역 상에 제3도전물로 이루어지는 제2버퍼 패턴막을 형성하되, 제1버퍼 패턴막이 상기 제2버퍼 패턴막 상에 위치하게 상기 제2버퍼 패턴막을 형성하는 단계; 및

상기 기판 및 제2버퍼 패턴막 상에 제3절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 17】

제15항에 있어서, 상기 제3도전물은 폴리 실리콘, Ru, Pt, Ir, TiN, TaN 또는 WN인 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 18】

제15항에 있어서, 상기 제2버퍼 패턴막을 형성할 때 상기 제2버퍼 패턴막의 주변에 위치하도록 패터닝된 라인 패턴막을 형성하는 단계;

상기 제1절연막 및 제3절연막을 순차적으로 식각하여 상기 제1버퍼 패턴막의 외곽을 지나고, 상기 라인 패턴막이 표면을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀에 제4도전물을 필링시킴으로서 상기 라인 패턴막과 연결되는 커넥터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 19】

제12항에 있어서, 상기 퓨즈 패턴막의 흡습을 방지하기 위하여 상기 윈도우막의 주변 부위를 둘러싸는 가드링 패턴막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 퓨즈 구조물 형성 방법.

【청구항 20】

퓨즈 영역을 갖는 주변 회로 영역과, 셀 영역으로 구분된 기판을 마련하는 단계;

상기 기판의 셀 영역 상에 트랜지스터, 비트 라인 및 커패시터의 하부 전극 및 유전막을 형성하는 단계;

상기 유전막 상에 상기 커패시터의 상부 전극으로 형성하기 위한 상부 전극막을 형성하되, 상기 상부 전극막을 상기 퓨즈 영역까지 연장되도록 형성하는 단계;

상기 상부 전극막을 패터닝하여 상기 유전막 상에는 상기 커패시터의 상부 전극을 형성하고, 상기 퓨즈 영역에는 제1버퍼 패턴막을 형성하는 단계;

상기 상부 전극 및 제1버퍼 패턴막을 갖는 기판 상에 제1절연막을 형성하는 단계;

상기 제1절연막 상에 금속 배선으로 형성하기 위한 금속 배선막을 형성하되, 상기 금속 배선막을 상기 퓨즈 영역까지 연장되도록 형성하는 단계;

상기 금속 배선막을 패터닝하여 금속 배선을 형성함과 동시에 상기 퓨즈 영역의 제1버퍼 패턴막이 위치하는 제1절연막 상에는 상기 금속 배선막이 패터닝된 퓨즈 패턴을 형성하는 단계;

상기 금속 배선 및 퓨즈 패턴을 갖는 기판 상에 제2절연막을 형성하는 단계; 및

상기 퓨즈 영역의 제2절연막을 식각하여 상기 퓨즈 영역에는 두께가 낮추어진 제2절연막으로 이루어지는 윈도우막을 형성하는 단계를 포함하는 퓨즈 구조물을 갖는 반도체 장치의 제조 방법.

【청구항 21】

제20항에 있어서, 상기 비트 라인을 형성할 때 상기 비트 라인으로 형성하기 위한 비트 라인막을 상기 퓨즈 영역까지 연장되도록 형성하는 단계; 및

상기 비트 라인막을 패터닝하여 상기 비트 라인을 형성함과 동시에 상기 퓨즈 영역의 제1버퍼 패턴막이 위치할 하부에는 상기 비트 라인막이 패터닝된 제2버퍼 패턴막을

형성하는 단계를 더 포함하는 것을 특징으로 하는 퓨즈 구조물을 갖는 반도체 장치의 제조 방법.

【청구항 22】

제20항에 있어서, 상기 제1절연막을 형성한 후,

상기 제1버퍼 패턴막의 외곽을 지나고, 상기 제2버퍼 패턴막의 주변에 위치하는 비트 라인의 표면을 노출시키는 콘택홀을 형성하는 단계; 및

상기 콘택홀에 도전물을 필링시킴으로서 상기 주변의 비트 라인과 연결되는 커넥터를 형성하는 단계를 더 포함하는 것을 특징으로 하는 퓨즈 구조물을 갖는 반도체 장치의 제조 방법.

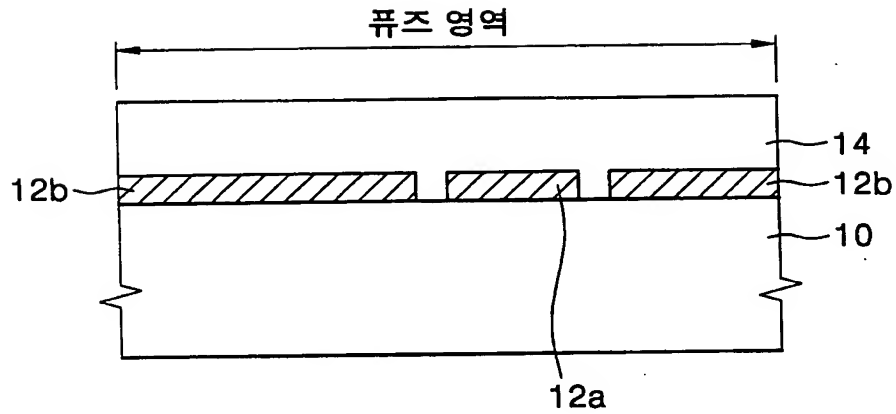
【청구항 23】

제20항에 있어서, 상기 윈도우막 주변의 제2절연막에 콘택홀을 형성하는 단계; 및

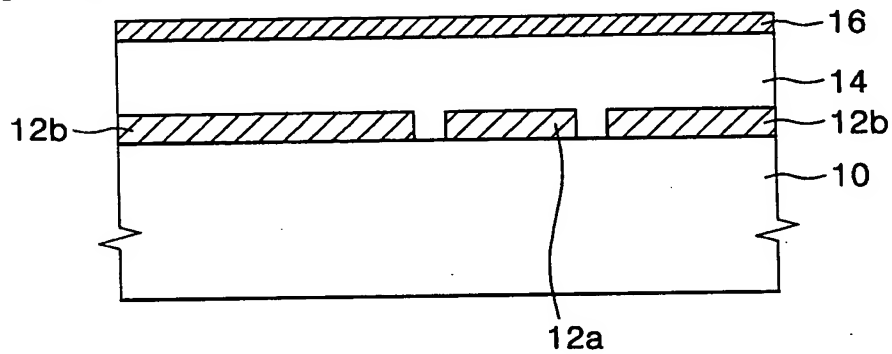
상기 콘택홀에 물질을 매립시킴으로서 상기 퓨즈 패턴막의 흡습을 방지하기 위하여 상기 퓨즈 패턴막을 둘러싸는 가드링 패턴막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 퓨즈 구조물을 갖는 반도체 장치의 제조 방법.

【도면】

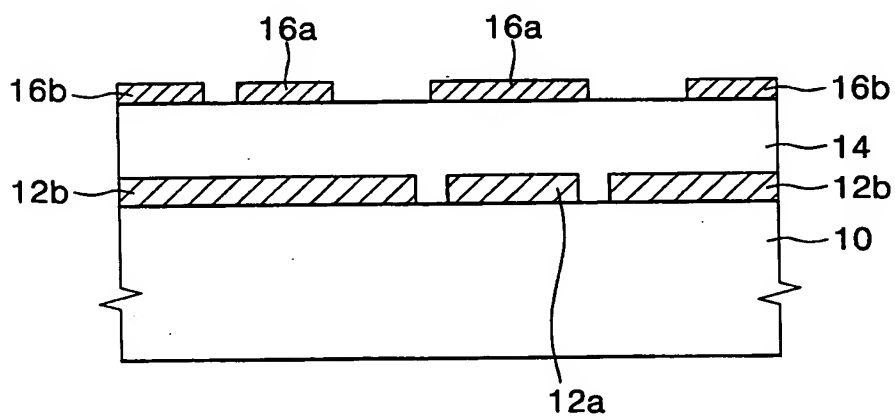
【도 1a】



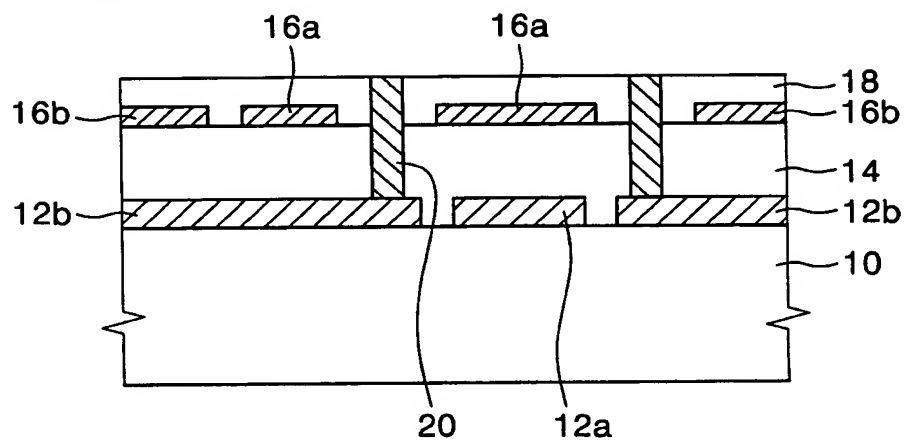
【도 1b】



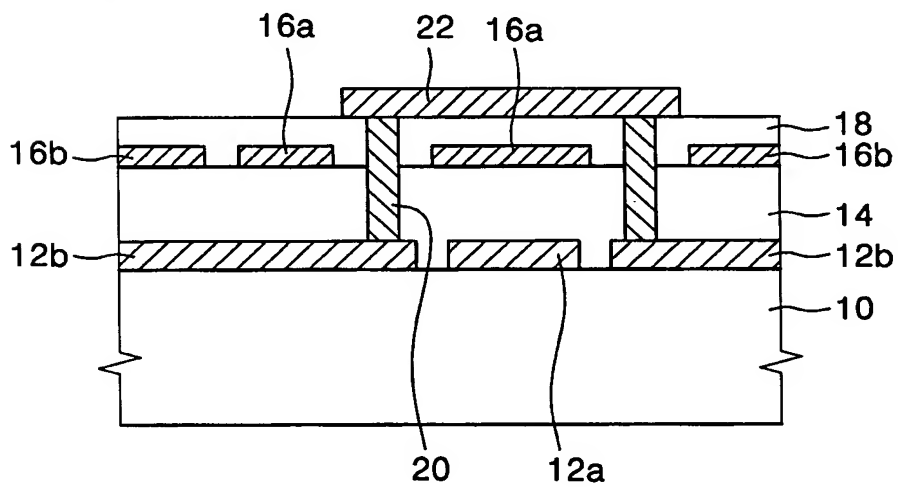
【도 1c】



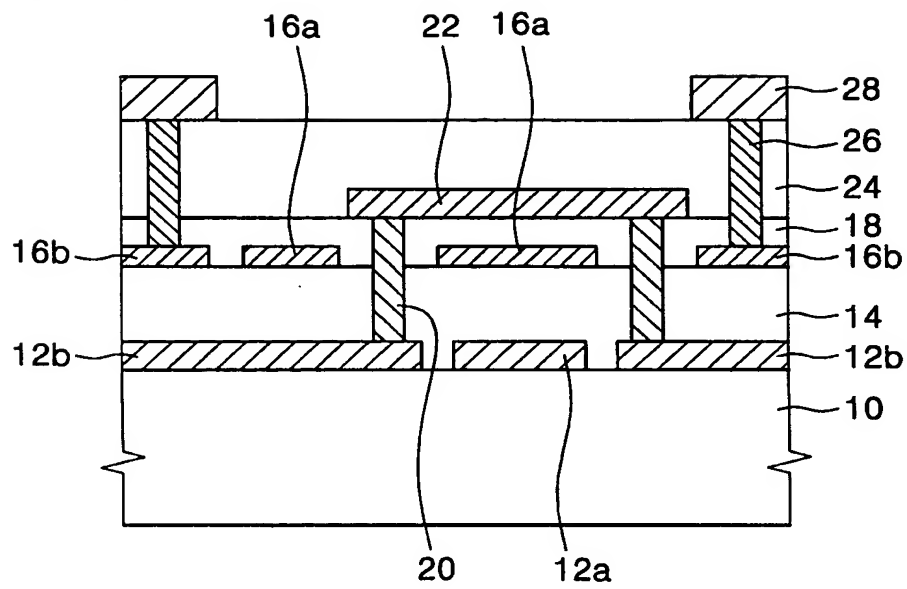
【도 1d】



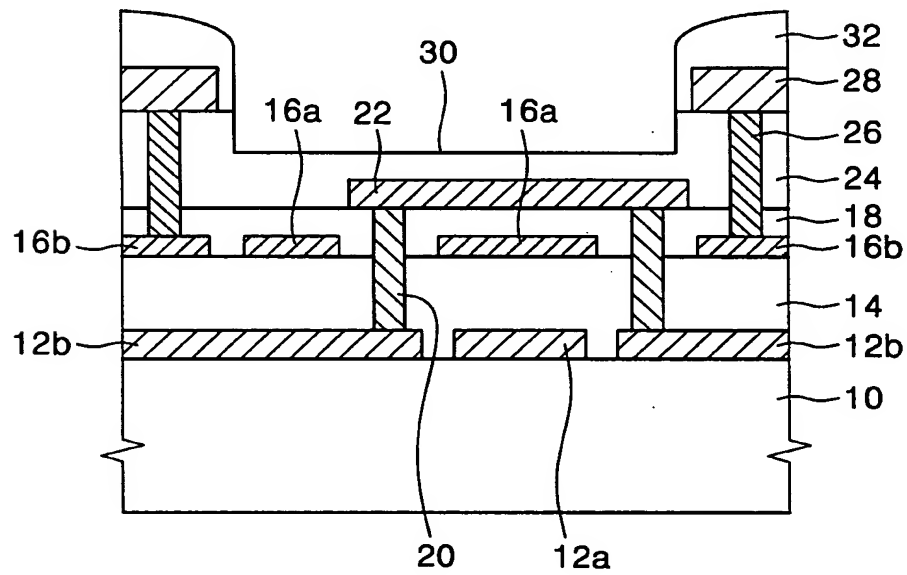
【도 1e】



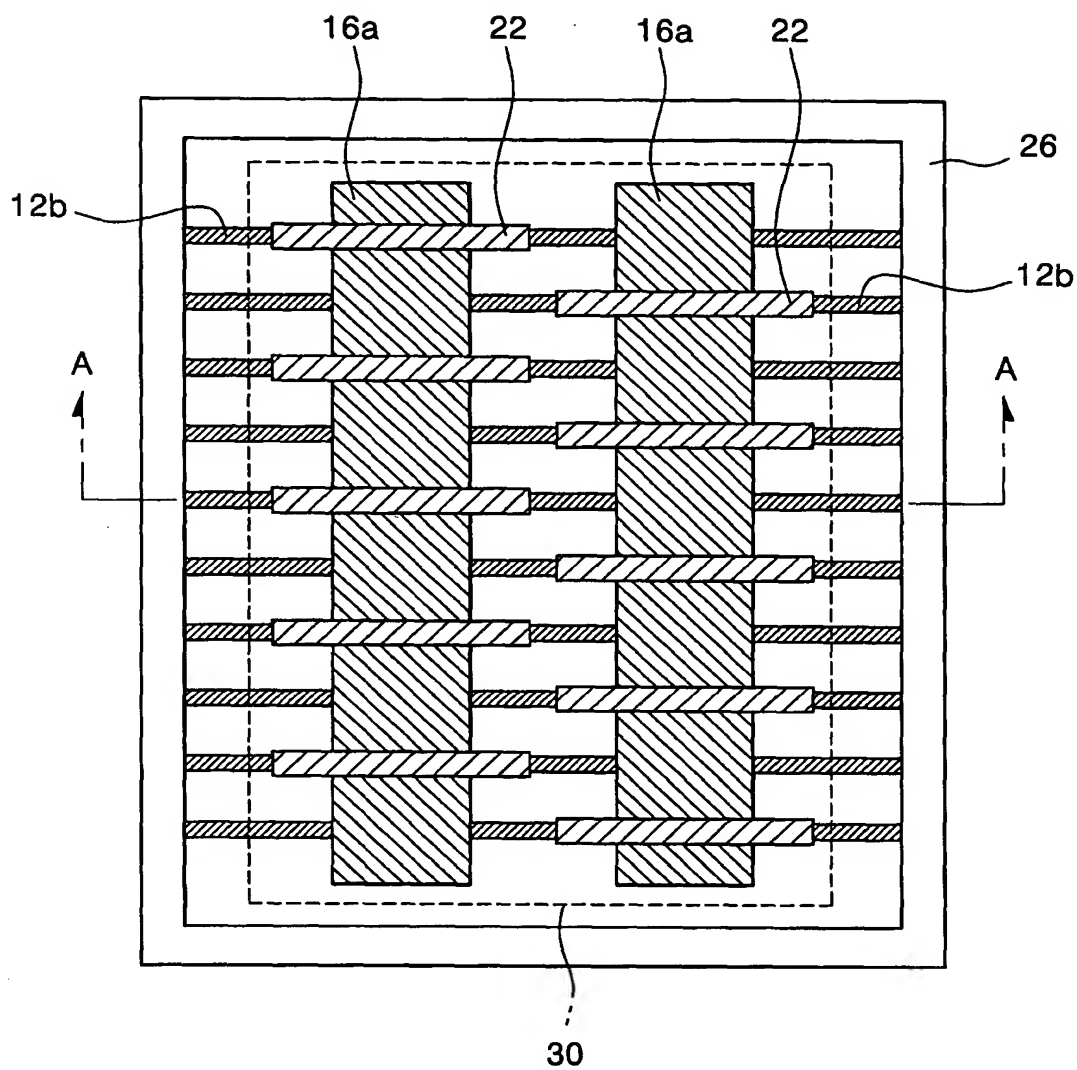
【도 1f】



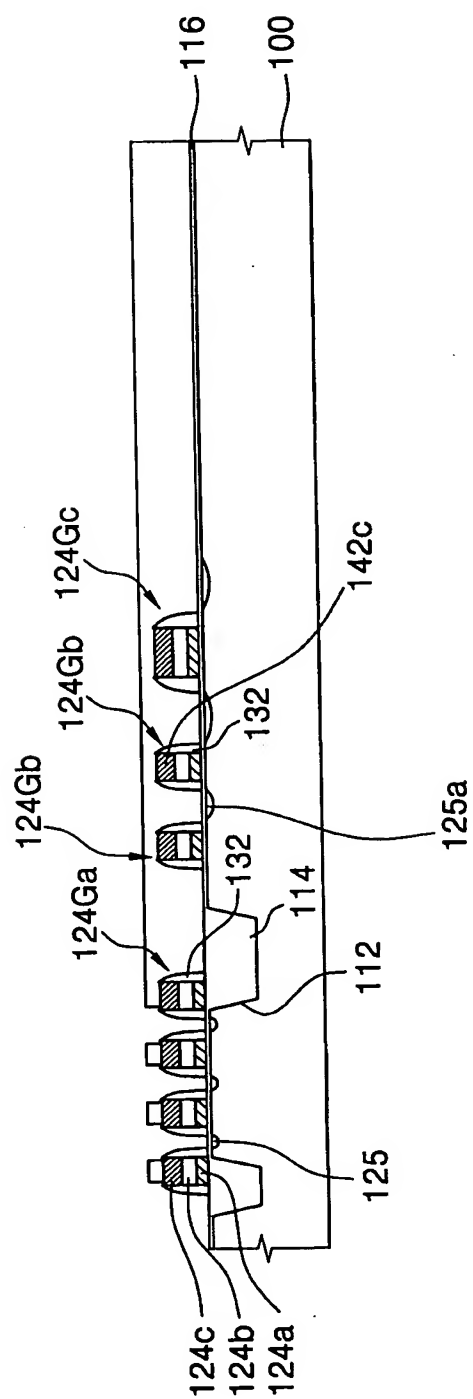
【도 1g】



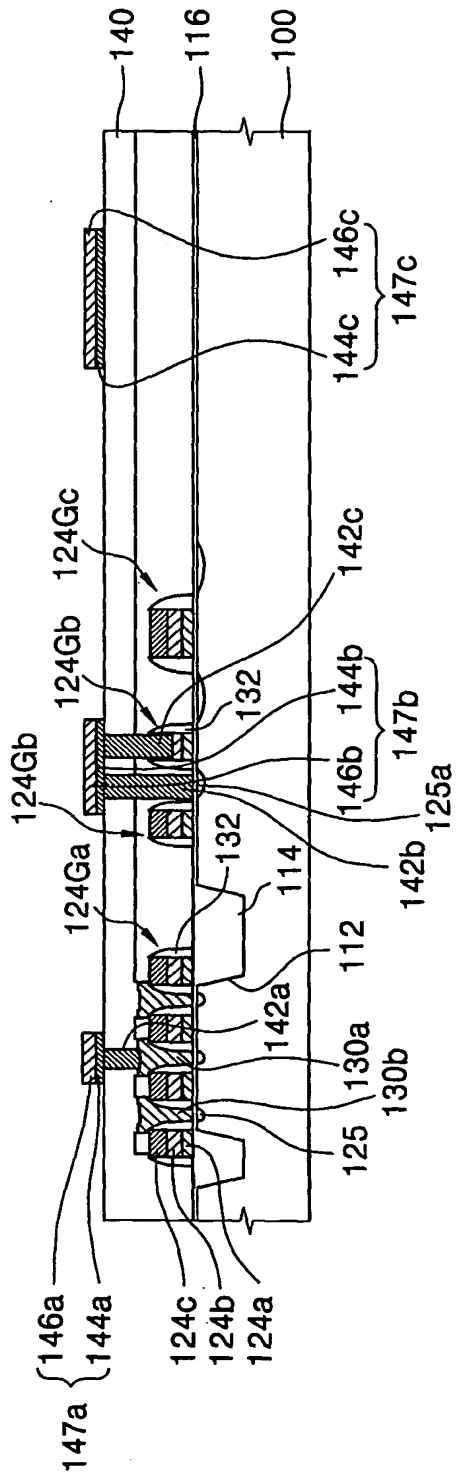
【도 2】



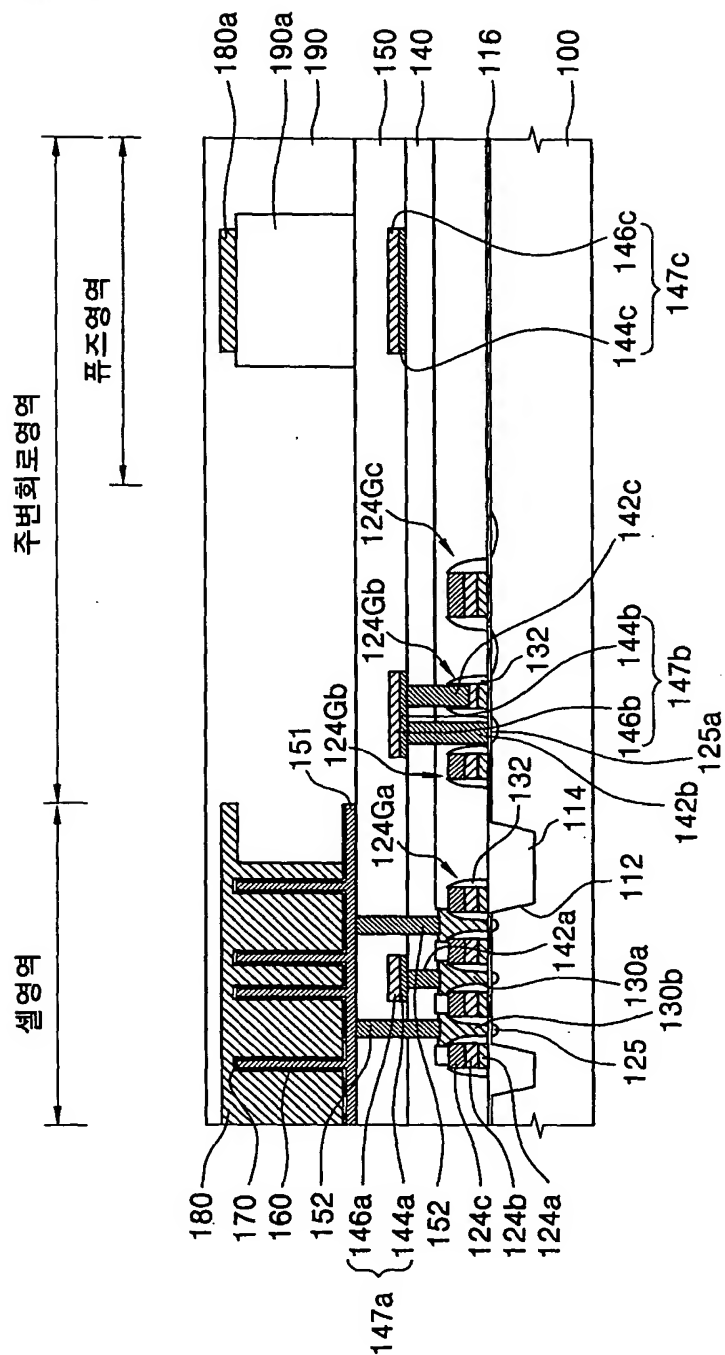
【도 3a】



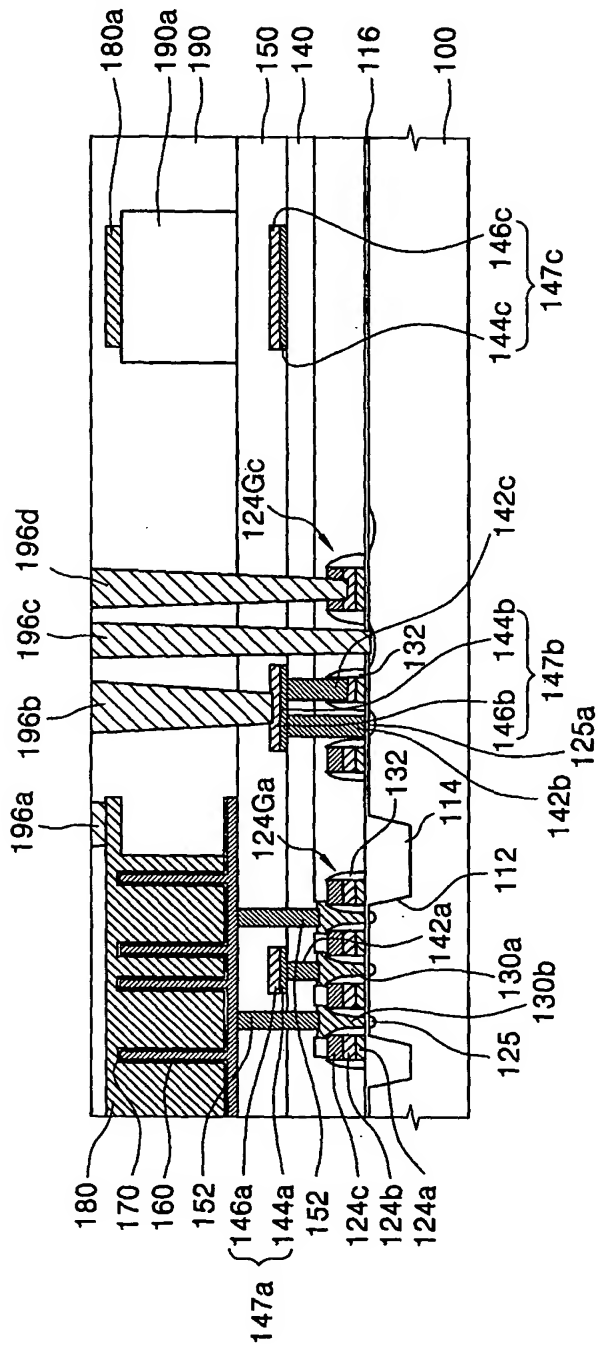
【도 3b】



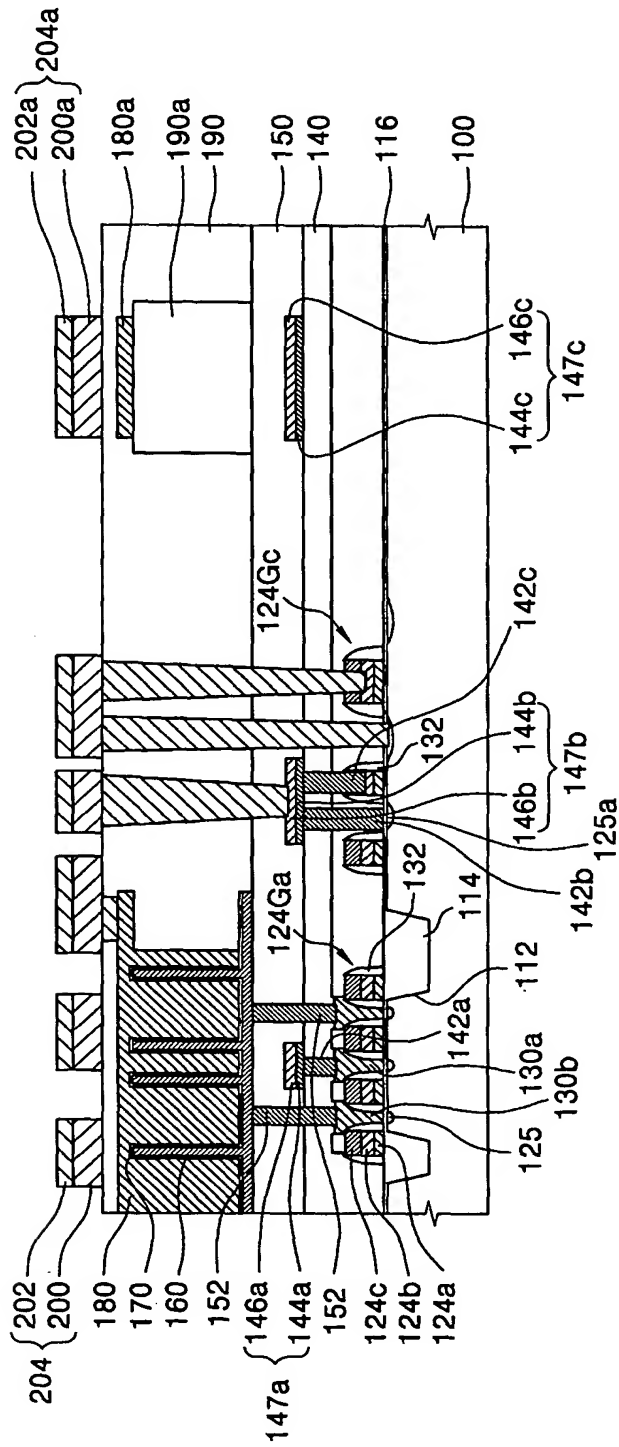
【도 3c】



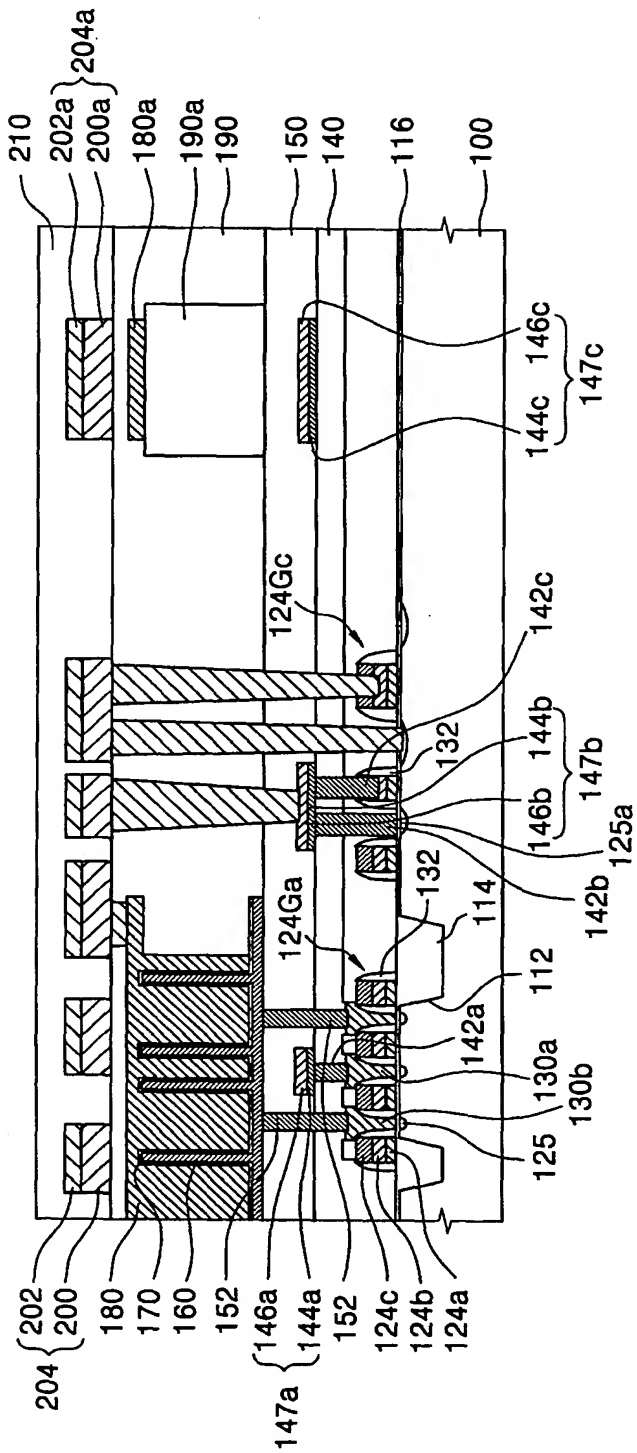
【도 3e】



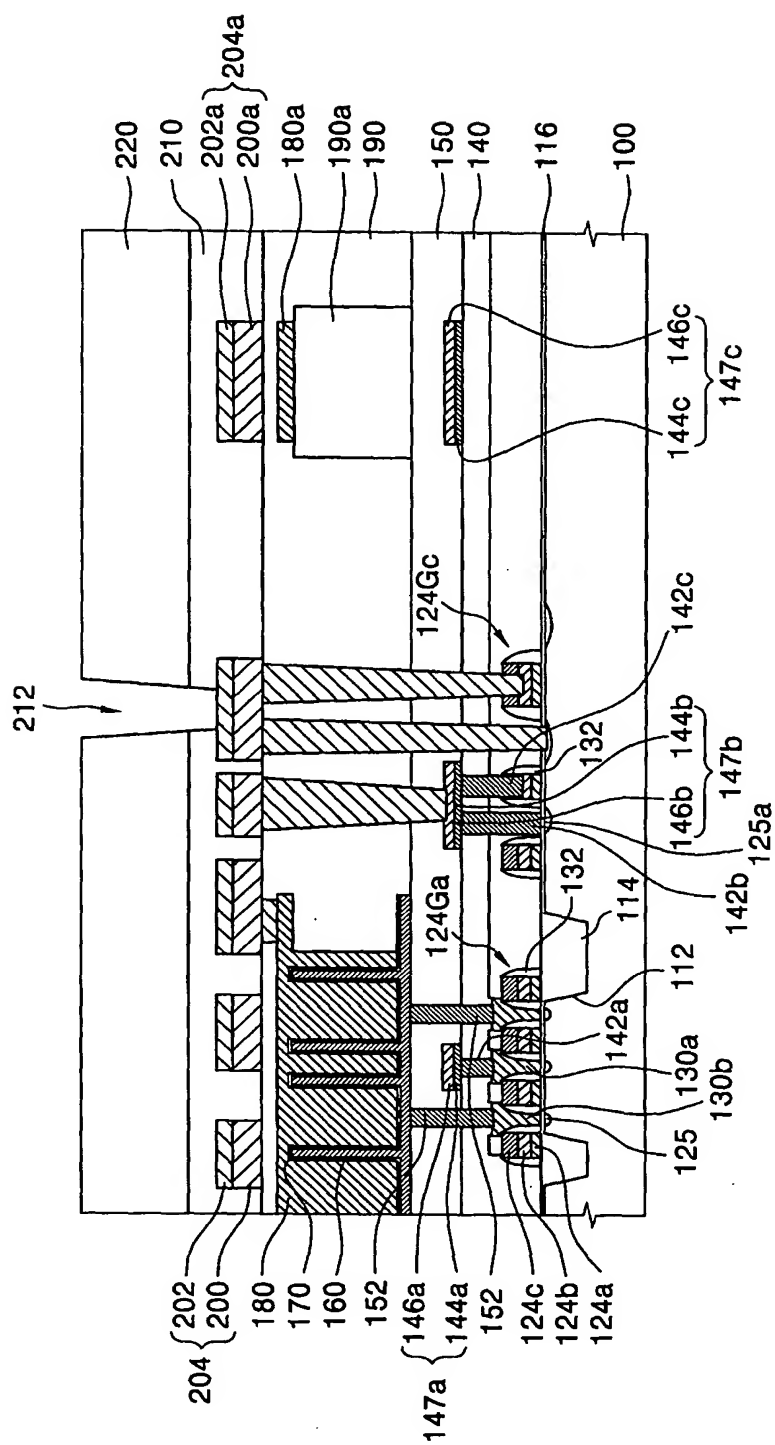
【도 3f】



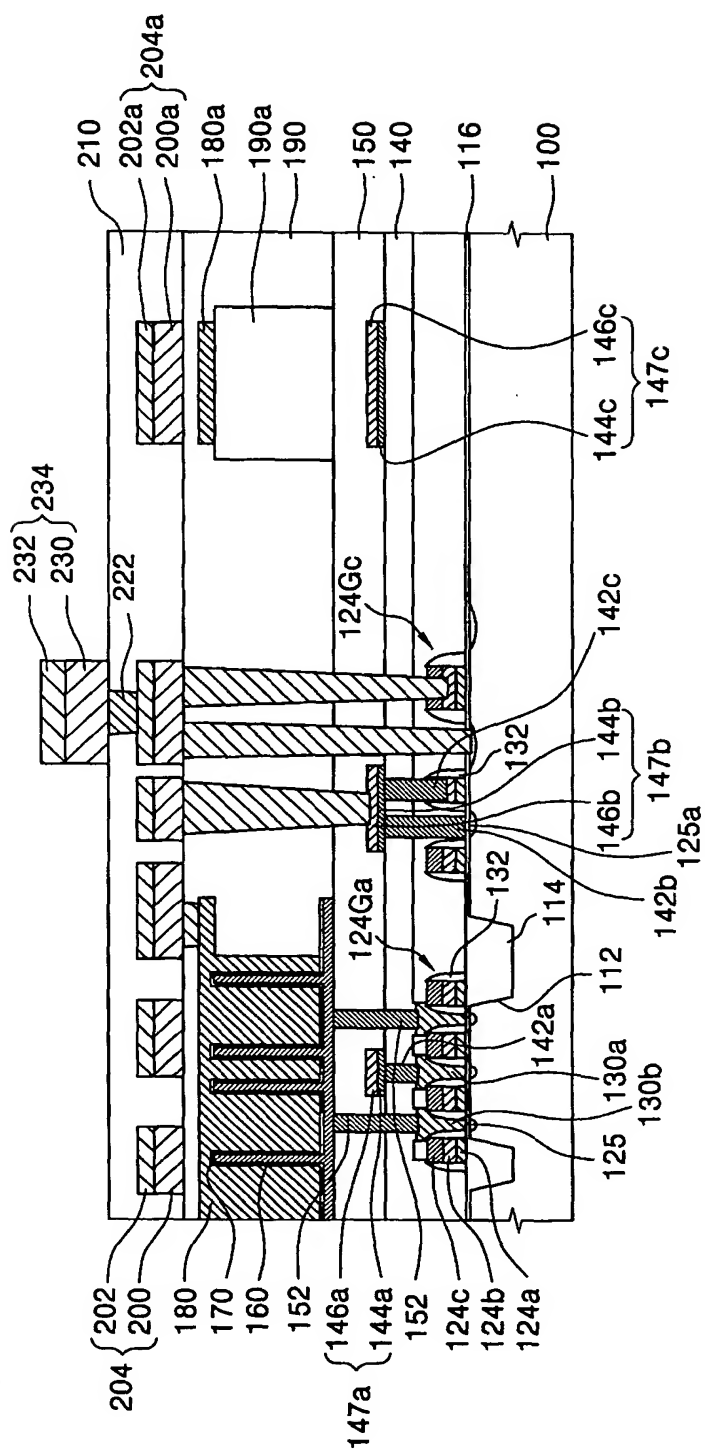
【도 3g】



【도 3h】



【도 3i】



【도 3j】

